

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

PATENT ABSTRACTS OF JAPAN

(6)

(11)Publication number : 06-214934
 (43)Date of publication of application : 05.08.1994

(51)Int.Cl. G06F 13/12
 G06F 3/06
 G06F 13/38

(21)Application number : 04-308353
 (22)Date of filing : 18.11.1992

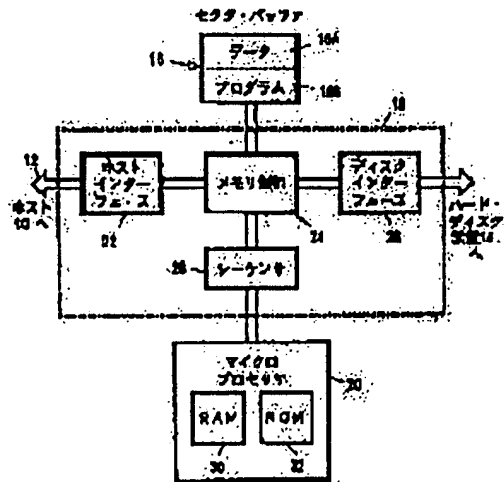
(71)Applicant : INTERNATL BUSINESS MACH CORP <IBM>
 (72)Inventor : KIGAMI YUJI
 NUMATA TSUTOMU
 SAKAI TATSUYA
 SHIMIZU KENJI

(54) PROGRAMMABLE EXTERNAL STORAGE CONTROLLER

(57)Abstract:

PURPOSE: To provide a programmable storage controller which can minimize the intervention of a microprocessor and also excels in both extendibility and flexibility.

CONSTITUTION: This controller includes a buffer 16 which stores a data transfer control program in addition to the data that are transferred between a host 10 and an external storage 14, a controller 18 which reads the data transfer control program out of the buffer 16 and carries it out, and a microprocessor 20 which starts to read the program out of the buffer 16 and to send it to the controller 18 in response to the command given from the host 10. The controller 18 controls the data that are transferred between the host 10 and the storage 14 independently of the microprocessor 20. Meanwhile, the processor 20 can carry out other jobs.



LEGAL STATUS

[Date of request for examination] 18.11.1992
 [Date of sending the examiner's decision of rejection]
 [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
 [Date of final disposal for application]
 [Patent number] 2059289
 [Date of registration] 10.06.1996
 [Number of appeal against examiner's decision of rejection]
 [Date of requesting appeal against examiner's decision of rejection]
 [Date of extinction of right]

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 13/12	3 4 0 B	8133-5B		
3/06	3 0 1 R	7165-5B		
13/38	3 1 0 Z	8944-5B		

審査請求 有 請求項の数14 OL (全 17 頁)

(21)出願番号	特願平4-308353	(71)出願人	390009531 インターナショナル・ビジネス・マシーンズ・コーポレーション INTERNATIONAL BUSINESS MACHINES CORPORATION アメリカ合衆国10504、ニューヨーク州 アーモンク (番地なし)
(22)出願日	平成4年(1992)11月18日	(72)発明者	木上 雄二 神奈川県藤沢市桐原町1番地 日本アイ・ビー・エム株式会社 藤沢事業所内
		(74)代理人	弁理士 頓宮 幸一 (外4名)

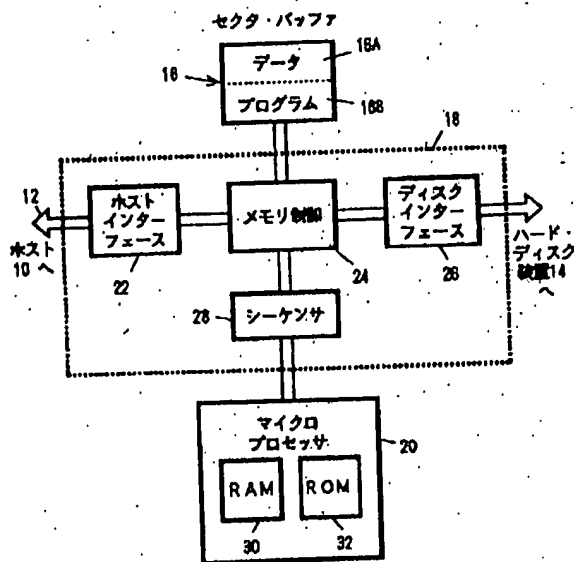
最終頁に続く

(54)【発明の名称】 プログラム可能な外部記憶制御装置

(57)【要約】

【目的】 マイクロプロセッサの介入が最少ですみ且つ拡張性及び融通性に富んだプログラム可能な外部記憶制御装置を提供すること。

【構成】 ホスト10と外部記憶装置14との間を転送されるデータの他に、データ転送を制御するプログラムを記憶するバッファ16と、このバッファ16からデータ転送制御プログラムを読み出して実行するコントローラ18と、ホスト10からのコマンドに应答してバッファ16からコントローラ18へのプログラム読出しを開始させるマイクロプロセッサ20とを備えている。コントローラ18は、ホスト-外部記憶装置間のデータ転送をマイクロプロセッサ20から独立して制御し、その間マイクロプロセッサ20は他のジョブを実行することができる。



【特許請求の範囲】

【請求項1】ホストからのコマンドに応答して外部記憶装置を制御するプログラム可能な外部記憶制御装置であって、

前記ホストと前記外部記憶装置との間のデータ転送を制御するためのプログラムを記憶すると共に、前記ホストと前記外部記憶装置との間で転送されるデータを一時記憶するバッファと、

前記バッファから前記プログラムを読み出して実行することにより前記データ転送を制御する制御手段と、前記ホストからのコマンドに応答して前記制御手段に前記プログラムの読出しを開始させるマイクロプロセッサと、

を具備する、プログラム可能な外部記憶制御装置。

【請求項2】前記マイクロプロセッサは前記プログラムを記憶するメモリを有し、初期設定時に前記プログラムを該メモリから前記バッファにロードする請求項1に記載の外部記憶制御装置。

【請求項3】前記バッファはデータ記憶域及びプログラム記憶域に分けられ、前記マイクロプロセッサは前記初期設定時に前記プログラム記憶域の開始アドレスを指定して前記プログラムを前記メモリから前記プログラム記憶域にロードする、請求項2に記載の外部記憶制御装置。

【請求項4】前記制御手段は、前記ホストとの間でデータ及びコマンドをやりとりするためのホスト・インターフェース手段と、前記外部記憶装置との間でデータをやりとりするための外部記憶インターフェース手段と、前記プログラムを実行するシーケンサ手段と、前記ホスト・インターフェース手段、前記外部記憶インターフェース手段及び前記シーケンサ手段を前記バッファに接続し、それらと前記バッファとの間の転送を制御するメモリ制御手段とを含む、請求項1、2又は3に記載の外部記憶制御装置。

【請求項5】前記マイクロプロセッサは前記ホストからのコマンドに応答して前記メモリ制御手段を起動し、前記バッファと前記ホスト・インターフェース手段、前記外部記憶インターフェース手段及び前記シーケンサ手段との間の転送を時分割モードで開始させる、請求項4に記載の外部記憶制御装置。

【請求項6】前記メモリ制御手段は、前記バッファと前記ホスト・インターフェース手段、前記外部記憶インターフェース手段及び前記シーケンサ手段との間の転送をそれぞれの先入れ先出し式バッファを介して行う、請求項5に記載の外部記憶制御装置。

【請求項7】前記シーケンサ手段は、前記バッファから読み出されたプログラムの命令をデコードするデコーダと、該デコーダからの信号により制御される演算手段及びアドレス生成手段と、該アドレス生成手段からのアドレスにより前記制御手段内の任意のレジスタを選択する

レジスタ選択手段とを含む、請求項4、5又は6に記載の外部記憶制御装置。

【請求項8】ホストからのコマンドによりデータの読取り又は書込みが行われる外部記憶システムであって、前記データを記憶する外部記憶装置と、

前記ホストと前記外部記憶装置との間のデータ転送を制御するためのプログラムを記憶すると共に、前記ホストと前記外部記憶装置との間で転送されるデータを一時記憶するバッファと、

10 前記バッファから前記プログラムを読み出して実行することにより前記データ転送を制御する制御手段と、前記ホストからのコマンドに応答して前記制御手段に前記プログラムの読出しを開始させるマイクロプロセッサと、

を備えた外部記憶システム。

【請求項9】前記マイクロプロセッサは前記プログラムを記憶するメモリを有し、初期設定時に前記プログラムを該メモリから前記バッファにロードする請求項8に記載の外部記憶システム。

20 【請求項10】前記バッファはデータ記憶域及びプログラム記憶域に分けられ、前記マイクロプロセッサは前記初期設定時に前記プログラム記憶域の開始アドレスを指定して前記プログラムを前記メモリから前記プログラム記憶域にロードする、請求項9に記載の外部記憶システム。

30 【請求項11】前記制御手段は、前記ホストとの間でデータ及びコマンドをやりとりするためのホスト・インターフェース手段と、前記外部記憶装置との間でデータをやりとりするための外部記憶インターフェース手段と、前記プログラムを実行するシーケンサ手段と、前記ホスト・インターフェース手段、前記外部記憶インターフェース手段及び前記シーケンサ手段を前記バッファに接続し、それらと前記バッファとの間の転送を制御するメモリ制御手段とを含む、請求項8、9又は10に記載の外部記憶システム。

40 【請求項12】前記マイクロプロセッサは前記ホストからのコマンドに応答して前記メモリ制御手段を起動し、前記バッファと前記ホスト・インターフェース手段、前記外部記憶インターフェース手段及び前記シーケンサ手段との間の転送を時分割モードで開始させる、請求項11に記載の外部記憶システム。

【請求項13】前記メモリ制御手段は、前記バッファと前記ホスト・インターフェース手段、前記外部記憶インターフェース手段及び前記シーケンサ手段との間の転送をそれぞれの先入れ先出し式バッファを介して行う、請求項12に記載の外部記憶システム。

50 【請求項14】前記シーケンサ手段は、前記バッファから読み出されたプログラムの命令をデコードするデコーダと、該デコーダからの信号により制御される演算手段及びアドレス生成手段と、該アドレス生成手段からのア

3

ドレスにより前記制御手段内の任意のレジスタを選択するレジスタ選択手段とを含む、請求項11、12又は13に記載の外部記憶システム。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明はプログラム可能な外部記憶制御装置に関し、特にディスク等の外部記憶装置の読取り及び書込みの動作シーケンスを制御するプログラムを内部に有する外部記憶制御装置に関する。

【0002】

【従来の技術】計算機システムは一般に大量のデータを記憶するための外部記憶装置を備えており、その代表的なものに直接アクセス記憶装置(DASD)がある。このような計算機システムにおいてホストと外部記憶装置の間でデータを転送する場合、ホスト及び外部記憶装置のデータ転送速度が異なっているために、速度整合用のバッファを介在させるのが普通である。パーソナル・コンピュータ・システムを例にとると、DASDとして使用されるハード・ディスク・ドライブ(HDD)とホストの間のデータ転送は32K~256Kバイト程度の容量を持ったバッファ(一般にセクタ・バッファと呼ばれる)を介して行われる。セクタ・バッファは物理的にはHDD側に設けられ、ハード・ディスク・コントローラ(HDC)がマイクロプロセッサの制御の下にセクタ・バッファの読取り及び書込みを行うようになっている。

【0003】従来は、セクタ・バッファはホストとディスクの間を転送されるデータだけを記憶していたが、HDD全体の制御を司るマイクロプロセッサがホスト-ディスク間のデータ転送とは別にセクタ・バッファをアクセスできるようにした技術もある。例えば、特開平2-51724号は、ディスク制御装置のファイル・データ・プロセッサ内に、マイクロプロセッサからのデータバス及びアドレスバスをデータ・バッファRAMに接続する経路を設けることを提案している。それによれば、データ・バッファRAMはディスク・アクセス時のデータ・バッファとして使用されるほかに、SCSI規格のインテリジェントなコマンド処理、それに伴う異常処理のためのプログラムを記憶したり、マイクロプロセッサのワークエリアとして使われたりする。マイクロプロセッサはディスクの読取り又は書込みが行われていないときにデータ・バッファRAMをアクセスすることができる。ファイル・データ・プロセッサに読取り及び書込みを行わせるためのプログラムはマイクロプロセッサの読取り専用メモリ(ROM)に記憶されている。

【0004】データ転送のために、ホスト、ディスク装置を含む1以上の周辺装置及びマイクロプロセッサが所定の優先順位に従って1つの共用メモリをアクセスすることも知られている。例えば、米国特許第4987530号は、マイクロプロセッサ及びバッファ・メモリを含

4

む1台の入出力制御装置が複数の入出力デバイス制御装置を介してそれぞれの入出力装置を制御することによって、それらとホストCPUのメイン・メモリとの間でローカル・メモリ・バスを介してデータ転送を行うようにしたデータ処理システムを開示している。バッファ・メモリは、ローカル・メモリ・バスを介して転送されるデータの他に、マイクロプロセッサのプログラムも記憶している。どの装置がバッファ・メモリをアクセスできるかは、バッファ制御用のゲート・アレイに含まれるアービタが決定する。特開平2-158824号も共用メモリを使用した同様な記憶制御装置を開示している。共用メモリは、マイクロプロセッサ・データ記憶領域、ディスク・データ記憶領域及びホスト・データ記憶領域に分けられ、所定の優先順位に従って各記憶領域が選択的にアクセスされる。

【0005】

【発明が解決しようとする課題】上述のようなバッファを介するデータ転送の動作シーケンスは、HDC等の制御装置の論理又はマイクロプロセッサのプログラムにより制御されていた。ハードウェア論理による前者の方法では、制御すべき外部記憶装置に合わせてハードウェアを設計するため、外部記憶装置が変わると設計をやり直さなければならず、拡張性や融通性に欠ける。またプログラム制御の場合は、外部記憶装置が変わってもプログラムを替換えるだけで対処できるが、データ転送中はずっとマイクロプロセッサの介入を必要とするので、その間マイクロプロセッサは他のジョブを実行できない。従って、両者の長所を兼ね備えたデータ転送制御手法が望まれる。

【0006】本発明の目的は、マイクロプロセッサの介入が最少ですみ且つ拡張性及び融通性に富んだプログラム可能な外部記憶制御装置を提供することにある。

【0007】本発明の他の目的は、データ転送用のバッファにデータ転送制御プログラムを記憶しておき、それをマイクロプロセッサとは別のハードウェア・シーケンスが読み出して実行する、プログラム可能な外部記憶制御装置を提供することにある。

【0008】本発明の他の目的は、そのような外部記憶制御装置を含む外部記憶システムを提供することにある。

【0009】

【課題を解決するための手段】上述の目的を達成するため、本発明に従うプログラム可能な外部記憶制御装置は、ホストと外部記憶装置との間のデータ転送を制御するためのプログラムを記憶すると共に、ホストと外部記憶装置との間で転送されるデータを一時記憶するバッファと、該バッファからデータ転送制御プログラムを読み出して実行することによりホスト-外部記憶装置間のデータ転送を制御する制御手段と、ホストからのコマンドに応答してこの制御手段にデータ転送制御プログラムの

5

読出しを開始させるマイクロプロセッサとを具備している。

【0010】マイクロプロセッサは自身で実行するプログラムの他に上述のデータ転送制御プログラムを記憶するメモリを備えており、初期設定時にこのメモリから上述のバッファヘデータ転送制御プログラムをロードする。こうしておけば、制御手段がデータ転送制御プログラムを実行している間に、マイクロプロセッサはサーボ制御等の別のジョブを並行して実行することができる。

【0011】

【実施例】本発明に従う外部記憶制御装置を含む計算機システムの概略構成を図1に示す。本実施例では、外部記憶装置としてハード・ディスク装置を想定しているが、本発明はバッファを介してホストとの間でデータ転送を行う外部記憶装置であればどのようなものにも適用できる。

【0012】図1の計算機システムは例えばパーソナル・コンピュータ・システムでもよく、ホスト10と、ホスト・バス12を介してホスト10に接続された外部記憶システムを含む。図には示していないが、ホスト10には表示装置やキーボードなどの他の周辺装置も接続されている。外部記憶システムは、ホスト10からのコマンドにตอบสนองして読取り又は書込みが行われるハード・ディスク装置14と、ホスト10からハード・ディスク装置14に書込むデータ又はハード・ディスク装置14からホスト10へ読み取るデータを一時記憶するセクタ・バッファ16と、セクタ・バッファ16を介するデータ転送を実行するハード・ディスク・コントローラ(HDC)18と、外部記憶システム全体の制御を司るマイクロプロセッサ20とを備えており、そのうちセクタ・バッファ16、HDC18及びマイクロプロセッサ20が本発明に従う外部記憶制御装置を構成している。以下、ホスト・バス12がいわゆるATバスであり、1セクタが512バイトのデータを含み、1ワードが2バイトから成るパーソナル・コンピュータ・システムを例に取って本発明の外部記憶制御装置について説明するが、本発明は他の計算機システムでも実施可能なことは勿論である。

【0013】図2は上述の外部記憶制御装置をもう少し詳しく示したものである。図2において、セクタ・バッファ16はデータ記憶域16A及び本発明に従って設けられたプログラム記憶域16Bに分けられている。ワード単位でアクセスされるセクタ・バッファ16は64Kワード(128Kバイト)の記憶容量を有し、記憶域16Aおよび16Bはそれぞれ32Kワード(64Kバイト)である。従って、プログラム記憶域16Bの開始ワード・アドレスはX'8000'になる。Xは16進表記を意味する。勿論これらの数値は例示に過ぎず、本発明はそれらに限定されるものではない。マイクロプロセッサ20は、ランダム・アクセス・メモリ(RAM)3

6

0及び読取専用メモリ(ROM)32を備えており、外部記憶システム全体を制御するプログラムの他に、セクタ・バッファ16を介するデータ転送を制御するためのプログラムをROM32に記憶している。プログラムの変更を考慮すると、ROM32は取り替え可能なパーツであるのが望ましい。

【0014】データ転送制御プログラムは、電源投入等の初期設定時にROM32からセクタ・バッファ16のプログラム記憶域16Bにロードされる(いわゆる初期プログラム・ロード)。プログラム記憶域16Bの開始アドレスは予め分かっており(上述の例ではX'8000')、マイクロプロセッサ20はこの開始アドレスから順に1ずつ増分したアドレスをセクタ・バッファ16へ送ることによってデータ転送制御プログラムの書込みを行う。データ転送制御プログラムは、ハード・ディスク装置14からホスト10への読取りを制御する読取り制御プログラム、及びホスト10からハード・ディスク装置14への書込みを制御する書込み制御プログラムを含む。セクタ・バッファ16のプログラム記憶域16Bへの書込みの順番はどちらが先でもよいが、本実施例では、読取り制御プログラムが最初にプログラム記憶域16Bの開始アドレスから順に書込まれ、続いて書込み制御プログラムが例えばアドレスX'9000'から順に書込まれるものとする。

【0015】図2において点線で囲んだHDC18は、ホスト・バス12に接続されたホスト・インターフェース回路22、セクタ・バッファ16のアクセスを制御するメモリ制御回路24、ハード・ディスク装置14に接続されたディスク・インターフェース回路26、及びHDC18の動作シーケンスを制御するシーケンサ28で構成される。このうち、ホスト・インターフェース回路22及びディスク・インターフェース回路26は従来のHDCで使用されていたものと同じでよい。ホスト・インターフェース回路22は、ホスト・バス12を介してホスト10との間でコマンドやデータをやり取りするための回路であり、複数のレジスタ及び割込み制御回路を含む。メモリ制御回路24は、ホスト・インターフェース回路22、ディスク・インターフェース回路26及びシーケンサ28に接続されており、セクタ・バッファ16とそれらの回路との間のデータ転送を制御する。ディスク・インターフェース回路26は、ハード・ディスク装置14とHDC18との間で必要な変換及びチェックを行うための周知の回路を含む。シーケンサ28は、ハード・ディスク装置14の読取り又は書込みを行うときに、セクタ・バッファ16のプログラム記憶域16Bに記憶されているプログラム及び必要なパラメータを読み出して、マイクロプロセッサ20から独立してセクタ・バッファ16を介するデータ転送を制御する。

【0016】HDC18は実際には上述の各回路22～28の他に、ハード・ディスク装置14のヘッドを移動

するためのボイス・コイル・モータ (VCM) 及びディスクを回転するためのスピンドル・モータをそれぞれ制御する公知の回路も含んでいるが、それらは本発明には関係しないので、図2では省略してある。また図が複雑になるので示さなかったが、マイクロプロセッサ20はシーケンサ28だけでなく他の全ての回路にも接続されている。次に、図3~図6を参照しながら、ホスト・インターフェース回路22、メモリ制御回路24、ディスク・インターフェース回路26及びシーケンサ28についてそれぞれ説明する。

【0017】図3に示すホスト・インターフェース回路22は上述のように従来と同じものでよく、レジスタ選択及び割込み制御回路40によって選択される複数のレジスタ、すなわちセクタ・カウント・レジスタ42、アドレス・レジスタ44、コマンド・レジスタ46及びデータ・レジスタ48を含む。セクタ・カウント・レジスタ42は読取り又は書き込みが行われるセクタの数を保持し、アドレス・レジスタ44はその開始アドレス (シリンダ番号、ヘッド番号及びセクタ番号からなるいわゆる相対ブロック・アドレスRBA) を保持し、コマンド・レジスタ46はコマンド・コードを保持し、データ・レジスタ48はホスト10からハード・ディスク装置14に書き込むデータ又はハード・ディスク装置14からホスト10に読み出すデータを保持する。これらのレジスタは、ホスト10からバス12を介してレジスタ選択及び割込み制御回路40に供給される情報により選択される。その時回路40は特定のレジスタを選択する信号S1 (1=1、2、3、...) を発生する。また回路40は、ホスト10が1ワード幅のデータ・レジスタ48の読取り又は書き込みを行うときに、ホスト10からの入出力読取り信号IOR又は入出力書き込み信号IOWをシーケンサ28の方へ通し、更にデータ・レジスタ48の読取り又は書き込みの回数をカウントして、それが256ワード (512バイトすなわち1セクタ) に達すると割込み信号INTを発生し、ホスト10へ送る。ホスト10はこの割込み信号INTに回答して次のセクタ・データの転送及びHDC18の状況読取りを行う。特願平3-337995号はこのようなホスト・インターフェース回路の一例を開示している。

【0018】図3には、本発明の理解に必要な4つのレジスタしか示していないが、実際には、ATインターフェースの規格案であるATAタッチメントに記載されているように、状況レジスタを含むもっと多くのレジスタが設けられている。

【0019】図4に示すメモリ制御回路24は、セクタ・バッファ16の1ワード幅のデータ・バス52に接続された3つの先入れ先出し式バッファ (FIFO) 54、56及び58、1バイト幅のアドレス・バス60に接続された3つのアドレス・カウンタ62、64及び66、並びにマイクロプロセッサ20によって起動される

メモリ・タイミング制御回路68を含む。ホストFIFO54は、ホスト・インターフェース回路22とセクタ・バッファ16との間に接続され、ディスクFIFO56はディスク・インターフェース回路26とセクタ・バッファ16との間に接続され、シーケンサFIFO58はシーケンサ28とセクタ・バッファ16との間に接続される。これら3つのFIFO54、56及び58は速度整合用のバッファであり、従ってホスト10、ハード・ディスク装置14及びシーケンサ28のそれぞれのデータ転送速度に応じた容量を持っているのが望ましい。一般に、データ転送速度はホスト10が最も速く、シーケンサ28がそれに続き、ハード・ディスク装置14が最も遅い。本実施例では、ホストFIFO54は8ワード、シーケンサFIFO28は6ワード、そしてディスクFIFO56は8バイトの容量を持っている。勿論これらの容量値は一例に過ぎず、本発明はそれらに限定されない。

【0020】3つのFIFOのうち、ホストFIFO54及びシーケンサFIFO58はワード単位でアクセスされるが、ディスクFIFO56はディスク・インターフェース回路26との間のバス59が1バイト幅のため基本的にバイト単位でアクセスされる。しかし、セクタ・バッファ16とディスクFIFO56との間の転送はワード単位で行われるので、ディスクFIFO56はデータ・バス52との接続部にバイト/ワード変換回路57を備えている。この変換回路57は、セクタ・バッファ16からディスクFIFO56に書き込むときは、セクタ・バッファ16からの各ワードを2バイトに分割し、ディスクFIFO56からセクタ・バッファ16に書き込むときは、連続する2バイトを1ワードに組み立て、データ・バス52へ出力する。データ・バス52及びアドレス・バス60はマイクロプロセッサ20にも接続されており、マイクロプロセッサ20がセクタ・バッファ16を直接アクセスできるようになっている。これは、初期設定時にマイクロプロセッサ20のROM32からセクタ・バッファ16のプログラム記憶域16Bにデータ転送制御プログラムをロードするのに必要である。

【0021】FIFO54、56及び58は、よく知られているように、それぞれの読取りポインタRP及び書き込みポインタWPによりアクセスされる。各ポインタは循環式になっており、関連するFIFOの最大アドレスに達した後は0に戻る。各FIFOは、RP=WP及びRP=WP+1でない限り、RPを用いた読取り及びWPを用いた書き込みを同時に行うことができる。RP=WPは読み取るべきデータがFIFOにないことを示し、従ってその場合は書き込みだけが許される。RP=WP+1はFIFOがまだ読み取っていないデータで一杯になっていることを示し、従って読取りだけが許される。これらの条件はメモリ・タイミング制御回路68によりチェックされる。

【0022】RP及びWPへの増分信号(+1)はメモリ・タイミング制御回路68の他に関連する回路からも供給される。メモリ・タイミング制御回路68からの増分信号は図4では簡単のため1つしか示していないが、実際には、それぞれのRP及びWPに対して個別に増分信号が印加されるようになっている。RP及びWPは、関連するFIFOとセクタ・バッファ16との間の転送の場合はメモリ・タイミング制御回路68からの個別の増分信号により増分され、各FIFOと関連する回路との間の転送の場合は、それぞれの関連回路からの増分信号により増分される。例えば、RP70はホストFIFO54の内容をホスト・インターフェース回路22へ読出すときに図3のレジスタ選択及び割込み制御回路40からの入出力読取り信号IORにより増分され、WP72はホスト・インターフェース回路22からのデータをFIFO54に書込むときに入出力書込み信号IOWにより増分される。同様に、RP74及びWP76は、ディスクFIFO56とディスク・インターフェース回路26との間の転送の場合にディスク・インターフェース回路26からのバイト信号により増分され、RP78及びWP80は、シーケンサFIFO58とシーケンサ28との間の転送の場合にシーケンサ28からの増分信号により増分される。

【0023】アドレス・カウンタ62、64及び66は、セクタ・バッファ16をアドレス指定するのに用いる。本実施例では、セクタ・バッファ16の容量は64Kワードであるから、それを完全にアドレス指定するためには16ビットのアドレスが必要であり、従って各アドレス・カウンタも16ビット幅になっている。16ビットのアドレスは、上位8ビットからなる行アドレス及び下位8ビットからなる列アドレスに分けて8ビット幅のアドレス・バス60に出力される。メモリ・タイミング制御回路68からの行アドレス選択信号RAS及び列アドレス選択信号CASは、アドレス・バス60に乗っているのがいずれのアドレスであるかを示す。各アドレス・カウンタは、関連するFIFOとセクタ・バッファ16との間でデータを転送するときに、メモリ・タイミング制御回路68からの制御信号により付勢及び増分される。このときメモリ・タイミング制御回路68は、セクタ・バッファ16の読取りを行う場合はR/W信号をハイにし、書込みを行う場合はローにする。また、メモリ・タイミング制御回路68はそれぞれのRP及びWPの内容を常時チェックしており、それらに基づいてセクタ・バッファ16のアクセス・タイミングを決定する。次に、図7を参照しながらセクタ・バッファ16のアクセス・タイミングについて説明する。

【0024】図7の(A)は標準的な時分割モードのアクセスを示したもので、セクタ・バッファ16の1つのアクセス・サイクルがホスト相、ディスク相及びシーケンサ相に分けられている。それによれば、最初はホスト

・アドレス・カウンタ62を用いてホストFIFO54とセクタ・バッファ16との間で最大8ワードの転送が行われ、次にディスク・アドレス・カウンタ64を用いてディスクFIFO56とセクタ・バッファ16との間で最大5ワードの転送が行われ、最後にシーケンサ・アドレス・カウンタ66を用いてシーケンサFIFO58とセクタ・バッファ16との間で最大6ワードの転送が行われる。メモリ・タイミング制御回路68は転送すべきデータがなくなるまでこのサイクルを繰り返す。いずれの相も最初のワード1のアクセス時間が長くなっているが、これはページ・モードでアクセスしているからである。すなわち、最初のワードをアクセスするときは関連するアドレス・カウンタから行アドレス及び列アドレスを順次にセクタ・バッファ16へ供給する必要があるが、残りのワードは列アドレスだけでアクセスできる。

(B)はホスト10のデータ転送速度が速い場合の例で、8ワードをアクセスするホスト相が1つおきに挿入されている。

【0025】時分割モードA又はBにおいて、ホストのデータがなくなるとメモリ・タイミング制御回路68は(C)に示すモードに入り、ディスク相及びシーケンサ相を交互に繰り返す。また、例えばセクタ1Dを読み出しているときのように、ディスク・データがない場合は、メモリ・タイミング制御回路68はいずれのモードにおいてもディスク相のところでセクタ・バッファ16のリフレッシュを行う。1991年2月刊のIBM Technical Disclosure Bulletin 第33巻、第9号の193~194頁には、そのようなリフレッシュに適したリフレッシュ制御方式が記載されている。リフレッシュが不要なスタティックRAM(SRAM)をセクタ・バッファ16に用いてもよいが、DRAMに比べてコスト高になる。なお、ある相でのアクセス中に前述のRP及びWPに関する条件からアクセスできなくなった場合は、その時点でその相でのアクセスを止め、次の相のアクセスに入る。

【0026】ハード・ディスク装置14からホスト10への読取りを例にとり、セクタ・バッファ16の時分割モードのアクセスをもう少し詳しく説明すると、最初はセクタ・バッファ16からホストFIFOに書込むデータがないので、メモリ・タイミング制御回路68は時分割モードCを設定する。ハード・ディスク装置14から読み取られたデータは、ディスク・インターフェース回路26の制御の下にWP76を順次増分することによりディスクFIFO56に1バイトずつ書込まれる。メモリ・タイミング制御回路68は、RP74とWP76の差が所定値(例えば4)を超えると、ディスク・アドレス・カウンタ64を付勢し、セクタ・バッファ16へのR/W信号をローにし、そしてセクタ・バッファ16へRAS及びCASを順次に送ることによって、ディスクFIFO56からセクタ・バッファ16への転送を開

11

始する。ディスクFIFO56の読取りはメモリ・タイミング制御回路68からの増分信号でRP74を1ずつ増分し、更にバイト/ワード変換回路57で連続する2バイトを1ワードに変換することにより行う。ディスク・インターフェース回路26からディスクFIFO56への書込みと、ディスクFIFO56からセクタ・バッファ16への読取りは、RP74及びWP76の値が前述の条件を満たしている限り同時に実行することができる。

【0027】ディスクFIFO56からセクタ・バッファ16に5ワード転送すると、メモリ・タイミング制御回路68はセクタ・バッファ16のアクセスをシーケンサ相に切り替え、シーケンサ・アドレス・カウンタ66を付勢することによって、セクタ・バッファ16からシーケンサFIFO58への転送を開始する。シーケンサ・アドレス・カウンタ66にはプログラム記憶域16Bの開始アドレス、すなわち前述の読取り制御プログラムの最初の命令ワードのアドレスがセットされており、シーケンサ相ではこの最初の命令ワードから6番目の命令ワードまでが連続的にシーケンサFIFO58に転送される。メモリ・タイミング制御回路68は、シーケンサ・アドレス・カウンタ66及びWP80を1ずつ増分していくことによりこの転送を実行する。RP78とWP80の差が所定の値(例えば3)を超えると、メモリ・タイミング制御回路68はシーケンサFIFO58からシーケンサ28への転送を開始する。シーケンサ28はRP78を1ずつ増分することによりシーケンサFIFO58の読取りを行う。セクタ・バッファ16からシーケンサFIFOへの6ワードの転送が終ると、メモリ・タイミング制御回路68は再びディスク相に切り替える。

【0028】時分割モードCでのアクセスの結果、セクタ・バッファ16に1セクタ分のデータすなわち512バイトのデータがエラーなしに書込まれると、メモリ・タイミング制御回路68はこのデータをホストFIFO54へ転送するために、シーケンサ相が終了した時点で時分割モードA(又はB)に切り替え、ホスト・アドレス・カウンタ62を付勢することによりセクタ・バッファ16からホストFIFO54への転送を開始する。メモリ・タイミング制御回路68は、ホスト・アドレス・カウンタ62及びWP72を1ずつ増分することによってセクタ・バッファ16からホストFIFO62に8ワードを転送すると、ホスト相からディスク相に切り替える。その間にRP70とWP72の差が所定の値(例えば4)に達すると、メモリ・タイミング制御回路68はホスト・インターフェース回路22にホストFIFO54の読取りを指示する。ホスト・インターフェース回路22はこれに回答して最初のワードをデータ・レジスタ48に転送した後ホスト10に割込みをかける。ホスト10はこの割込みに応答してデータ・レジスタ48を読

12

み取るためのコマンドをホスト・インターフェース回路22に送る。ホスト・インターフェース回路22はこの時ホスト10から送られてくる入出力読取り信号IORをRP70に対する増分信号として用いることによりホストFIFO54からデータ・レジスタ48に次のワードを読み出し、ホスト10に割込みをかける。以下、同様の動作を繰り返す。

【0029】以上のように、時分割モードA(又はB)及びCのアクセス・サイクルを繰り返すことにより、ハード・ディスク装置14からホスト10への読取りが行われる。ホスト10からハード・ディスク装置14への書込みも同様である。シーケンサ28はシーケンサ相においてセクタ・バッファ16から読み出されたプログラムを実行することにより、このような読取り及び書込みを制御する(詳細は後述)。

【0030】図5に示すディスク・インターフェース回路26は、ディスクFIFO56からの1バイトの並列データを直列データに変換する並直列変換器82及びハード・ディスク装置14からの直列データを1バイトの並列データに変換する直並列変換器84を含む。並直列変換器82からの直列データはアナログ信号に変換された後ハード・ディスク装置14へ送られ、指定されたセクタ位置に順次に書込まれる。直並列変換器84からの並列データは、それがセクタIDであればIDレジスタ86へ送られ、通常のセクタ・データであればディスクFIFO56及びECC回路88へ送られる。セクタIDは、周知のようにハード・ディスク装置14において各セクタの先頭部分に記録されるもので、アドレス・マーク(AM)及び相対ブロック・アドレス(RBA)を含んでいる。IDレジスタ86には、アクセスすべきセクタのIDがマイクロプロセッサ20によって予めセットされており、エラー検出及び比較器90は直並列変換器84からのセクタIDと予めセットされているセクタIDとが一致しないか、又は直並列変換器84からのセクタIDにエラーがあると、シーケンサ28にIDエラーを知らせる。

【0031】ECC回路88は周知のエラー訂正論理回路であって、ハード・ディスク装置14から読み取ったセクタ・データにエラーがあると、それが訂正可能か否かに応じて訂正可能エラー信号又は訂正不能エラー信号を出力し、訂正可能な場合は更にそのエラー位置及びエラー・パターンをそれぞれ示す信号を出力する。これらの信号に回答してエラーを訂正するのはシーケンサ28である。ホスト10からの書込みの場合は、ECC回路88はディスクFIFO56から順次に送られてくる512バイトのセクタ・データに対して11バイトのECCコードを生成し、並直列変換器82に送る。書込みデータのエラー・チェックは行わない。

【0032】直並列変換器84は1バイトの変換が終る度に線92へバイト信号を出力する。カウンタ94はこ

13

のバイト信号をカウントし、直並列変換器84からセクタIDが出力されている間(例えば第1バイトから第7バイトまで)はこのセクタIDをIDレジスタ86へロードするための信号を線96に発生し、それに続く523バイト、すなわち512のデータ・バイト及び11のECCバイトの間は、直並列変換器84の出力をECC回路88へロードするための信号を線98に発生する。またカウンタ94は、512のデータ・バイトが出力されている間は線100をハイにし、ANDゲート102を条件付ける。ANDゲート102の第2の入力は線92に接続されており、従ってANDゲート102はハード・ディスク装置14から512バイトのセクタ・データが読み取られている間、線92上のバイト信号を線104へ通過させる。線104上のバイト信号は増分信号として図4のWP76に印加される。512データ・バイトの読取りが終ると、カウンタ94は線106にセクタ信号を発生し、シーケンサ28に送る。シーケンサ28はこれに回答してセクタ・カウントを更新する。

【0033】図6に示すシーケンサ28は通常の算術論理演算装置(ALU)110の他にアドレス生成器112を含む。ALU110の入力はそれぞれ累算器として働くAレジスタ114及びBレジスタ116から与えられ、その出力は作業レジスタ118に供給される。アドレス生成器112の入力はコード・レジスタ120及び図4のシーケンサ・アドレス・カウンタ66から与えられ、その出力はシーケンサ・アドレス・カウンタ66及び作業レジスタ選択器122に供給される。作業レジスタ選択器122はアドレス生成器112からのアドレスに回答して作業レジスタの1つを選択する。ここで云う「作業レジスタ」は総称的な名称であって、HDC18に含まれる全てのレジスタを指している。これは、シーケンサ28がHDC18にある任意のレジスタをアクセスできること、従ってHDC18内の各回路を制御できることを意味する。

【0034】Aレジスタ114及びBレジスタ116は作業レジスタ118又は図4のシーケンサFIFO58からのデータを受け取り、コード・レジスタ120はシーケンサFIFO58からのプログラム命令を受け取る。このプログラム命令はデコーダ124でデコードされ、それによりALU110及びアドレス生成器112に指定された演算を行わせるための制御信号がそれぞれ線126及び128に発生される。ALU110は線126上の制御信号に回答して加算、減算等の算術演算やAND、OR等の論理演算を実行する。アドレス生成器112は線128上の制御信号に回答して、シーケンサ・アドレス・カウンタ66の内容を1だけ増分して書き戻したり、コード・レジスタ120からのプログラム命令に含まれるアドレスを用いて作業レジスタ118のレジスタ・アドレス又はセクタ・バッファ16からデータを取り出すためのアドレスを生成したり、コード・レジ

14

スタ120及びアドレス・カウンタ66からのアドレスを加算して新しい命令アドレスを生成したりする。

【0035】通常は、セクタ・バッファ16からシーケンサFIFO58を介してシーケンサ28へ送られてくるのはプログラム命令であるが、コード・レジスタ120にロードされた命令がデータの読取りを指定しているとき、デコーダ124から線132に発生されるデータ読取り信号によりセクタ130が切り替わり、シーケンサFIFO58からのデータをAレジスタ114及びBレジスタ116の方へ通過させる。線132上のデータ読取り信号はメモリ制御回路24にも送られ、シーケンサFIFO58の両方のポインタRP78及びWP80をリセットする。

【0036】シーケンサ28が実行すべきプログラムの一例として、前述の読取り制御プログラムの流れ図を図8及び図9に示す。この読取り制御プログラムは、ホスト10から読取りコマンドを受け取ったときにセクタ・バッファ16からシーケンサ28に読み出される。

【0037】ホスト10からの読取りコマンド及び関連するパラメータ、すなわち読み取るべきセクタの数を示すセクタ・カウント及び読取りを開始するセクタのアドレスは、前述の特願平3-337995号に記載されているようにして、コマンド・レジスタ46、セクタ・カウント・レジスタ42及びアドレス・レジスタ44に受け取られる。レジスタ選択及び割り込み制御回路40はこれらの受取りを完了すると、マイクロプロセッサ20に割り込みをかける。マイクロプロセッサ20は、レジスタ選択及び割り込み制御回路40からの割り込みに回答してコマンド・レジスタ46の内容を取り込み、デコードする。デコードの結果、読取りコマンドであることが分かると、マイクロプロセッサ20は、読取り制御プログラムの開始アドレスをシーケンサ・アドレス・カウンタ66にロードし、図4のメモリ・タイミング制御回路68に起動信号を送ると共に、ホスト・インターフェース回路22(図3)のアドレス・レジスタ44にロードされている開始アドレスに従ったセクタIDをディスク・インターフェース回路26(図5)のIDレジスタ86にロードし、そしてハード・ディスク装置14の読取りを開始させる。メモリ・タイミング制御回路68はマイクロプロセッサ20からの起動信号に回答して、ホスト・アドレス・カウンタ62、ディスク・アドレス・カウンタ64、並びに全ての読取りポインタRP70、74、78及び書き込みポインタWP72、76、80を0をリセットし、前述の時分割モードCでセクタ・バッファ16のアクセスを開始する。

【0038】ハード・ディスク装置14から最初に読み取られるのはセクタIDであるから、時分割モードCにおいてセクタ・バッファ16を最初にアクセスするのはシーケンサ28である。そのため、メモリ・タイミング制御回路68は最初のディスク相の替りにセクタ・バッ

10

20

30

40

50

ファ16のリフレッシュを行った後シーケンサ・アドレス・カウンタ66に付勢信号を印加し、セクタ・バッファ16へのR/W信号をハイにして、読取りが行われることを指示する。シーケンサ・アドレス・カウンタ66は、付勢信号により活動化されると、その内容すなわち読取り制御プログラムの開始アドレスをアドレス・バス60へ出力する。セクタ・バッファ16はプログラム記憶域16Bから最初の命令ワードを読取り、データ・バス52へ出力する。シーケンサFIFO58はこの命令ワードをWP80（最初は0）によって指定された位置に書込む。シーケンサFIFO58は、最初の命令ワードだけはFIFO58への書込みと同時にシーケンサ28への読取りを行う。次にメモリ・タイミング制御回路68はシーケンサ・アドレス・カウンタ66及びWP80をそれぞれ1ずつ増分して、次の命令ワードをセクタ・バッファ16からシーケンサFIFO58へ転送させる。

【0039】図6に示したシーケンサ28においては、線132上のデータ信号がローになっているので、セクタ130はシーケンサFIFO58からの最初の命令ワードをコード・レジスタ120の方へ通す。デコーダ124はこれをデコードして必要な制御信号を発生すると共にRP78を1だけ増分する。これ以降シーケンサ28は図8及び図9に示した読取り制御プログラムを順次に実行していくことになる。次に、この読取り制御プログラムをステップ順に説明する。

【0040】最初のステップ201は、ホスト・インターフェース回路22（図3）のセクタ・カウント・レジスタ42及びアドレス・レジスタ44にロードされているパラメータをプログラム記憶域16Bの特定の記憶位置に書込む。レジスタ42及び44のアドレス並びにパラメータ書込み位置は、プログラム記憶域16BからシーケンサFIFO58を介してコード・レジスタ120へ送られてくる命令により指定される。デコーダ124はこれらの命令をデコードして、まずシーケンサ・アドレス・カウンタ66の内容をセクタ・バッファ16の所定の記憶位置に保管する。次に、レジスタ・アドレスを作業レジスタ選択器122へ入力させ、パラメータ書込み位置のアドレスをシーケンサ・アドレス・カウンタ66へロードさせると共に、メモリ・タイミング制御回路68に必要な指示を与える。これにより、レジスタ42及び44の内容がシーケンサFIFO58を介してセクタ・バッファ16に書込まれる。パラメータの書込みが終ると、セクタ・バッファ16に保管しておいた内容をシーケンサ・アドレス・カウンタ66に戻す。

【0041】次のステップ202は、セクタIDのチェックが完了したかどうかを調べる。前述のように、ハード・ディスク装置14から読み取られたセクタIDはディスク・インターフェース回路26（図5）のエラー検出及び比較器90でチェックされ、その結果が特定の作

業レジスタ（エラー・レジスタ）に書込まれるようになっている。従って、シーケンサ28はエラー・レジスタの内容を読み出して、セクタIDの読取りがエラーなしに完了したかどうかを調べる。このチェックはALU110で簡単に実行できる。セクタIDのチェックが完了するとステップ203に進む。

【0042】ステップ203は、トラックの終り（EOT）に達したかどうか、すなわちステップ202でチェックを完了したセクタがトラックの最終セクタかどうかを調べる。セクタIDはEOTフラグを含んでおり、最終セクタの場合はこのフラグがオンになっている。シーケンサ28はIDレジスタ86の内容をALU110でチェックすることによりステップ204を実行する。EOTに達しているとステップ204に進んでマイクロプロセッサ20に割込みをかけ、当該セクタの終り（EOS）で動作を停止する（ステップ205）。実際に停止するのはセクタ・データの読取りが終ってからである。そのときマイクロプロセッサはハード・ディスク装置14のヘッドを次のトラックへ移動させる。EOTに達していなければステップ206に進む。

【0043】ステップ206は、次のセクタの読取りに備えて、そのセクタのIDをIDレジスタ86にロードする。これは、ステップ201でセクタ・バッファ16に書込んでおいたパラメータのうち開始アドレスをシーケンサ28へ読み出して、ALU110で更新することにより可能になる。シーケンサ28は、更新したアドレス（RBA）をIDレジスタ86にロードすると共にセクタ・バッファ16に書き戻す。

【0044】ステップ207は、次のセクタのデータをセクタ・バッファ16に書込むときの開始ベース・アドレスであるディスク開始アドレスDSRを特定の作業レジスタに設定する。次のステップ208は、このDSRとホスト・アドレス・カウンタ62の内容HACとを比較する。（シーケンサ28が読取り制御プログラムを実行している間、メモリ・タイミング制御回路68はホスト・アドレス・カウンタ62を用いてセクタ・バッファ16からホストFIFO54へのデータ転送を実行している。）DSR=HACであれば、セクタ・バッファ16からホストFIFO54へ読み出すデータがないことを意味するから、その場合はステップ209へ進んでマイクロプロセッサ20に割込みをかけ、1セクタ分のデータがセクタ・バッファ16に書込まれて、DSRが更新されるまで待機する。

【0045】DSRがHACより大きければステップ210に進み、現セクタのデータ読取りが完了したかどうかを調べる。これは、カウンタ94（図5）から線106へ出力されるセクタ信号の状態を調べれば分かる。完了するとセクタ・カウントを更新した後、ステップ211で作業レジスタ118の1つであるエラー・レジスタの内容から訂正不能エラーが生じたかどうかをチェック

する。もし生じているとステップ212に進んでマイクロプロセッサ20に割込みをかける。

【0046】訂正不能エラーが生じていなければ、ステップ213に進んで訂正可能エラーが生じたかどうかを調べる。これもエラー・レジスタの内容から判断できる。もし生じているとステップ214に進んで、図5のECC回路88から作業レジスタ118にロードされているエラー位置データ及びエラー・パターンを用いてエラーを訂正する。エラー位置データはエラーの生じたバイトを識別する。従って、シーケンサ28はエラー訂正命令に
10 応答してエラー・バイトを含むワードのアドレスをシーケンサ・アドレス・カウンタ66にロードする共に、線132を介してメモリ・タイミング制御回路68にデータ読取りを知らせる。メモリ・タイミング制御回路68はこれに
20 応答してシーケンサFIFO58の両ポインタ78及び80を0にリセットし、セクタ・バッファ16からシーケンサFIFO58への読取りを実行する。読み取られたエラー・バイトはセクタ130からBレジスタ116へロードされる。このときAレジスタ114には対応するエラー・パターンがロードされており、ALU110はそれらに対して排他的OR演算を実行することによりエラーを訂正する。訂正されたバイトを含むワードはシーケンサFIFO58を介してセクタ・バッファ16の元の記憶位置に書き戻される。

【0047】エラー訂正が終了とステップ215に進んで、トラックの終り(EOT)かどうかを調べる。EOTであればステップ216に進んで、次のトラックが読み取れるようになるまで待つ。動作を再開できるようになるか又はEOTでなければ、ステップ217に進んで、読み取ったセクタが当該読取りコマンドに係る最終セクタかどうかを調べる。これは、ステップ201でセクタ・バッファ16に番込んでおいたセクタ・カウントとステップ210の終りに更新したセクタ・カウントとを比較すれば分かる。最終セクタであれば読取り制御プログラムの実行を終了し、さもなければステップ202に戻る。

【0048】書き込み制御プログラムの場合は、データ転送の方向が逆になっていること及びエラー訂正を行わないことを除くと、基本的な動作は読取りのときと同じである。

【0049】

【発明の効果】本発明によれば、マイクロプロセッサ制御型の外部記憶制御装置において、ハード・ディスク等の外部記憶装置とホストとの間のデータ転送をマイクロプロセッサから独立して実行することができ、またセクタ・バッファにロードするプログラムを書き換えるだけで様々な外部記憶装置に対処することができる。

【図面の簡単な説明】

【図1】本発明を実施し得る計算機システムの一例を示すブロック図。

【図2】本発明に従う外部記憶制御装置の構成を示すブロック図。

【図3】図2の外部記憶制御装置におけるホスト・インターフェース回路の構成例を示すブロック図。

【図4】図2の外部記憶制御装置におけるメモリ制御回路の構成例を示すブロック図。

【図5】図2の外部記憶制御装置におけるディスク・インターフェース回路の構成例を示すブロック図。

【図6】図2の外部記憶制御装置におけるシーケンサの構成例を示すブロック図。

【図7】セクタ・バッファの時分割アクセス・モードの例を示す図。

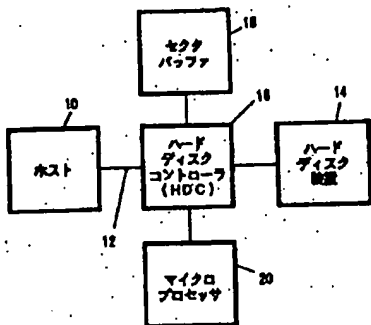
【図8】読取り制御プログラムの前半部分を示す流れ図。

【図9】読取り制御プログラムの後半部分を示す流れ図。

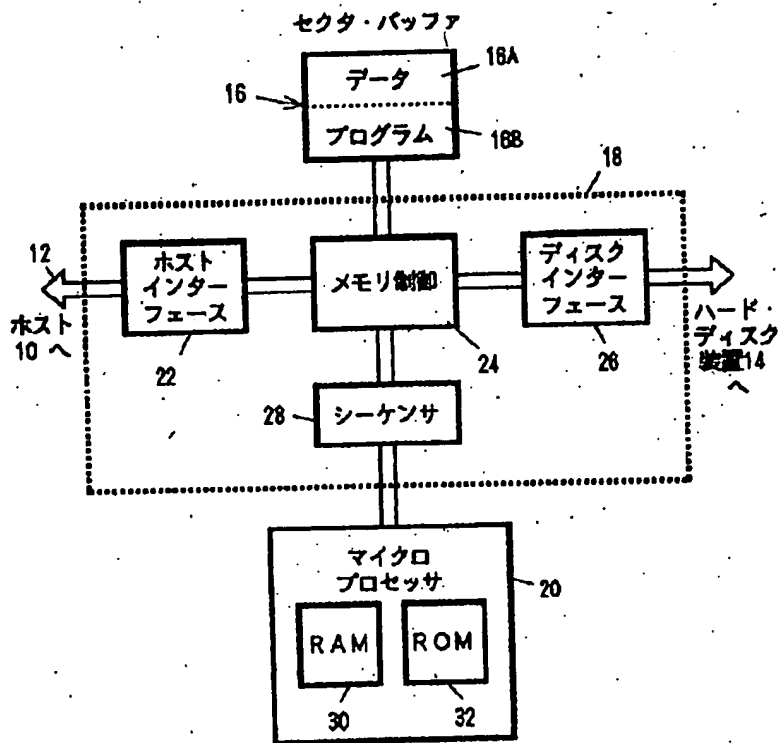
【符号の説明】

- 10 ホスト
- 14 ハード・ディスク装置
- 16 セクタ・バッファ
- 16A データ記憶域
- 16B プログラム記憶域
- 18 ハード・ディスク・コントローラ(HDC)
- 20 マイクロプロセッサ
- 22 ホスト・インターフェース回路
- 24 メモリ制御回路
- 26 ディスク・インターフェース回路
- 28 シーケンサ
- 30 ランダム・アクセス・メモリ(RAM)
- 40 32 読取り専用メモリ(ROM)

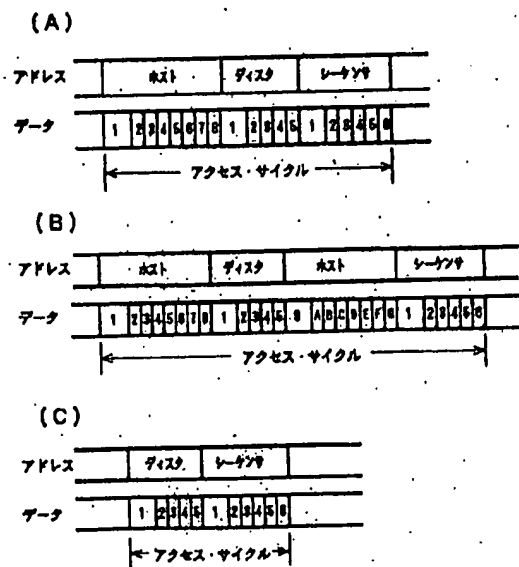
【図1】



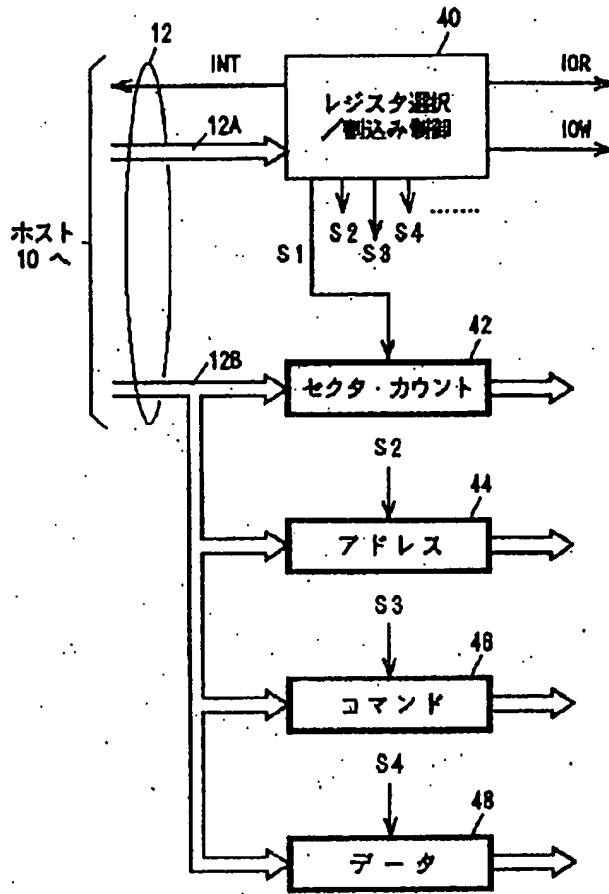
【図2】



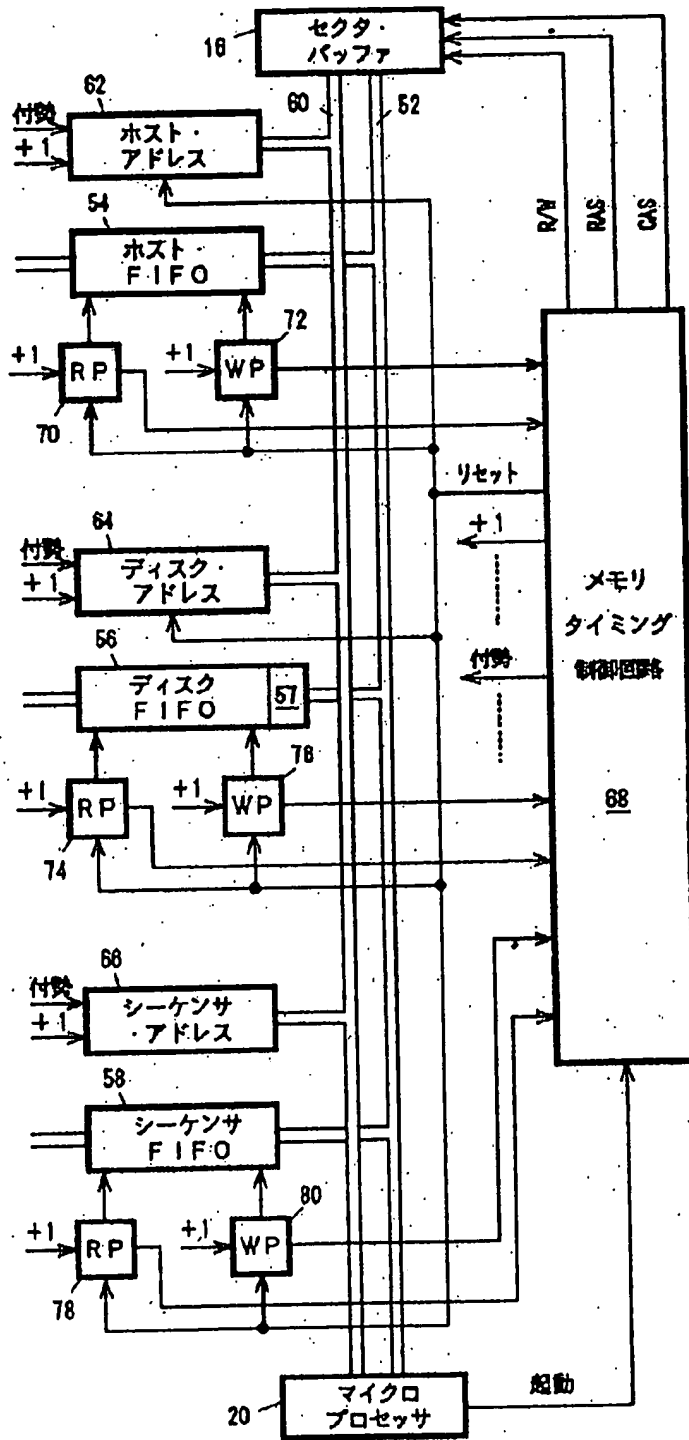
【図7】



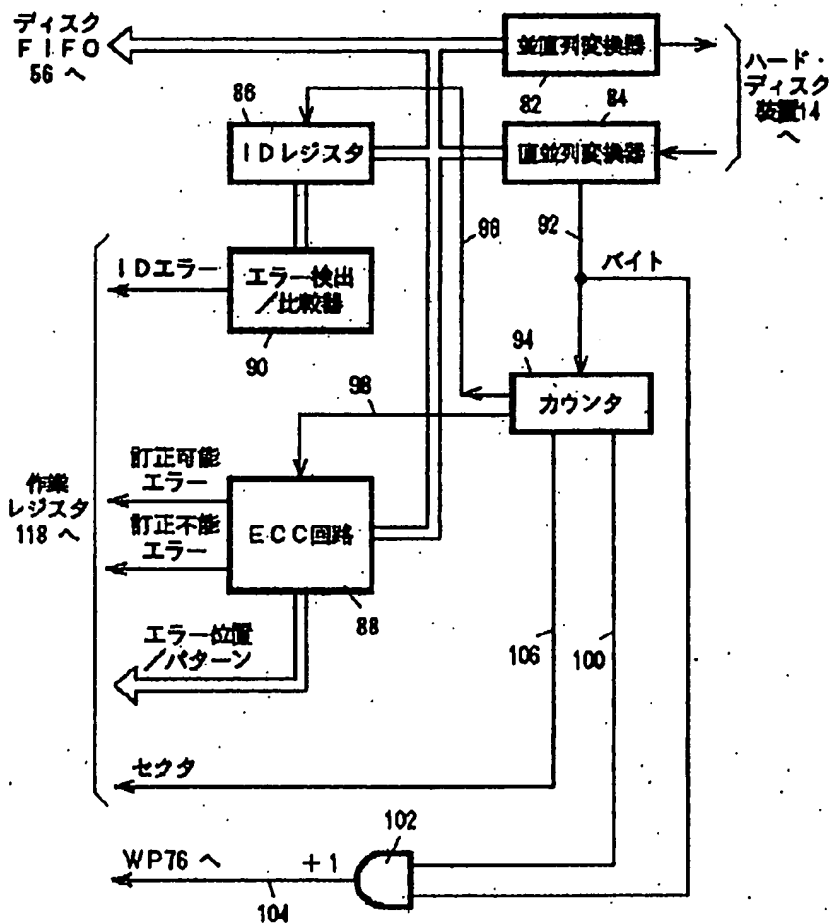
【図3】



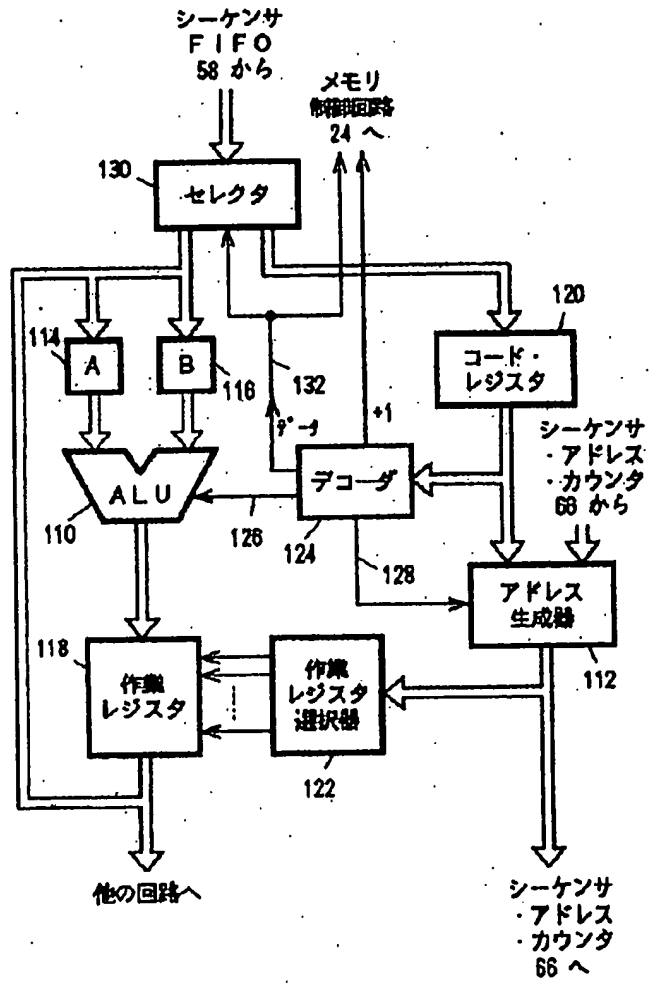
【図4】



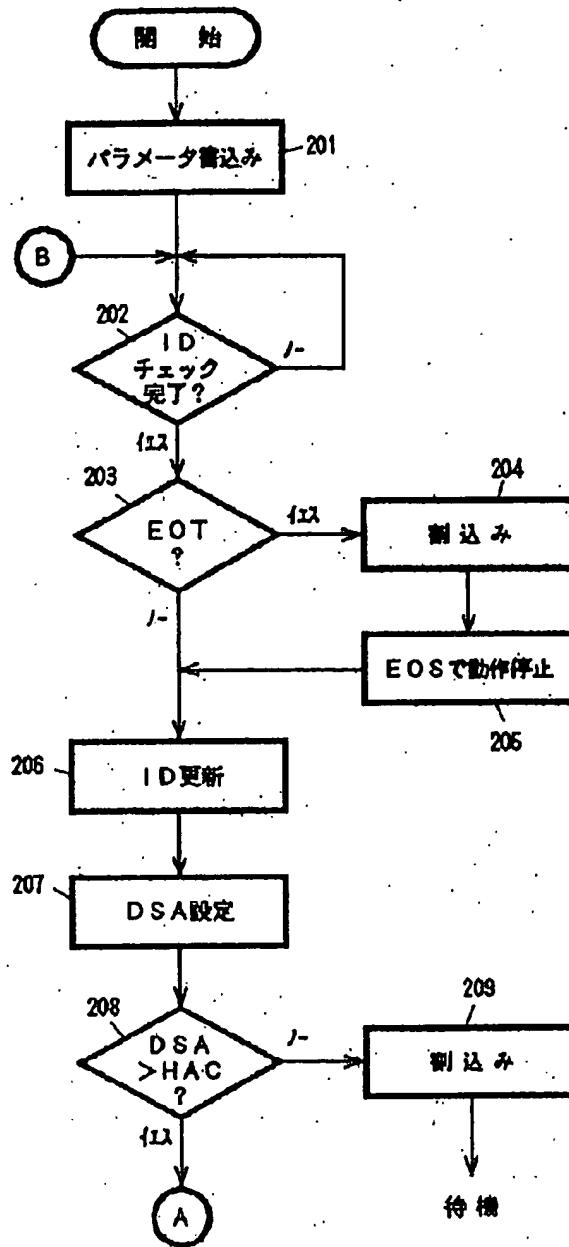
【図5】



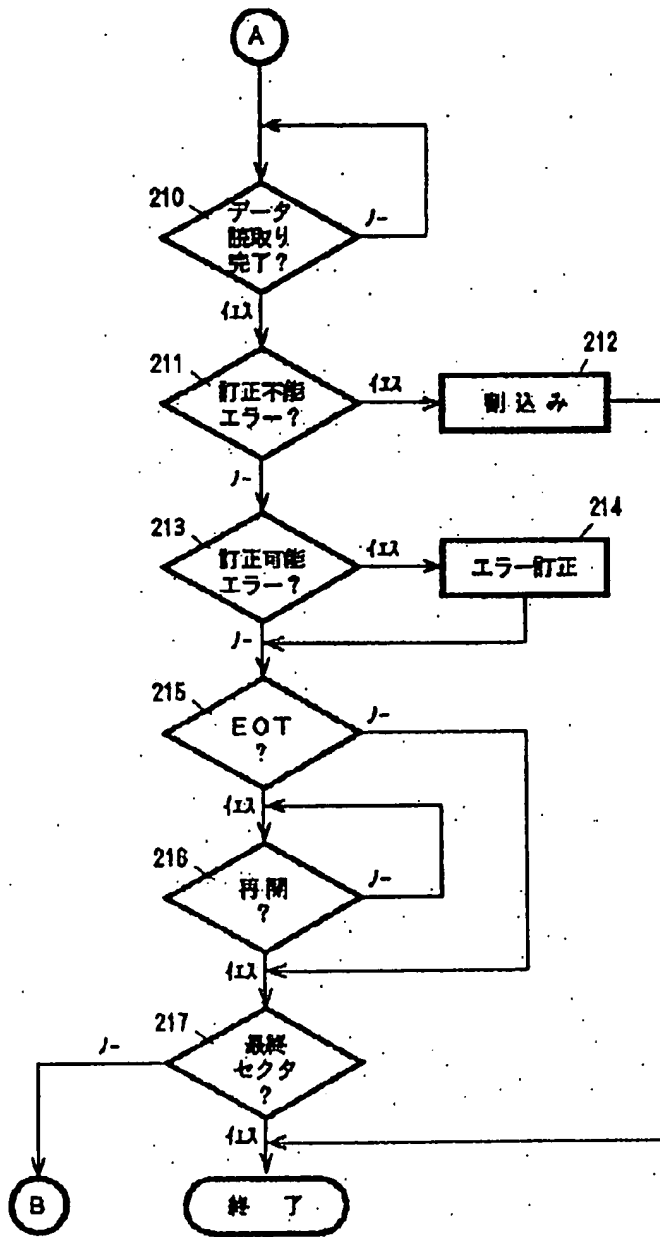
【図6】



【図8】



【図9】



フロントページの続き

(72)発明者 沼田 勉
 神奈川県藤沢市桐原町1番地 日本アイ・
 ビー・エム株式会社 藤沢事業所内

(72)発明者 酒井 達也
 神奈川県藤沢市桐原町1番地 日本アイ・
 ビー・エム株式会社 藤沢事業所内

(72)発明者 清水 賢治
 神奈川県藤沢市桐原町1番地 日本アイ・
 ビー・エム株式会社 藤沢事業所内